

DERWENT-ACC-NO: 2003-348053

DERWENT-WEEK: 200333

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Chip size package type semiconductor
device has wiring board with solder balls provided at
its center and dummy solder balls provided at its corner

PATENT-ASSIGNEE: AKITA DENSHI KK[AKITN] , HITACHI
LTD[HITA], HITACHI MICON
SYSTEM KK[HITAN]

PRIORITY-DATA: 2001JP-0294374 (September 26, 2001)

PATENT-FAMILY:

| PUB-NO | PUB-DATE | |
|-----------------|---------------|----------|
| LANGUAGE | PAGES | MAIN-IPC |
| JP 2003100949 A | April 4, 2003 | N/A |
| 009 | H01L 023/12 | |

APPLICATION-DATA:

| PUB-NO | APPL-DESCRIPTOR | APPL-NO |
|----------------|--------------------|---------|
| APPL-DATE | | |
| JP2003100949A | N/A | |
| 2001JP-0294374 | September 26, 2001 | |

INT-CL (IPC): H01L021/60, H01L023/12

ABSTRACTED-PUB-NO: JP2003100949A

BASIC-ABSTRACT:

NOVELTY - The chip size package (CSP) type semiconductor device (101) has a wiring board (103) with solder balls (104) provided at its center, and dummy solder balls (105) provided at its corners.

USE - Chip size package (CSP) type semiconductor device.

ADVANTAGE - The faulty soldering and curved external stress

are reduced effectively. Also the size of the device is reduced.

DESCRIPTION OF DRAWING(S) - The figure shows a side view of the chip size package type semiconductor device.

CSP type semiconductor device 101

wiring board 103

solder ball 104

dummy solder ball 105

CHOSEN-DRAWING: Dwg.1/10

TITLE-TERMS: CHIP SIZE PACKAGE TYPE SEMICONDUCTOR DEVICE
WIRE BOARD SOLDER BALL
DUMMY SOLDER BALL CORNER

DERWENT-CLASS: U11

EPI-CODES: U11-D01A9; U11-E01C;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2003-278527

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-100949

(P2003-100949A)

(43)公開日 平成15年4月4日(2003.4.4)

(51)IntCl'

H 01 L 23/12

識別記号

5 0 1

F I

H 01 L 23/12

テマコード(参考)

5 0 1 W

5 0 1 B

// H 01 L 21/60

21/92

6 0 2 P

審査請求 未請求 請求項の数3 O.L (全9頁)

(21)出願番号

特願2001-294374(P2001-294374)

(22)出願日

平成13年9月26日(2001.9.26)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

ムズ

東京都小平市上水本町5丁目22番1号

(71)出願人 000100997

株式会社アキタ電子システムズ

秋田県河辺郡雄和町相川字後野85番地

(74)代理人 100083552

弁理士 秋田 収喜

最終頁に続く

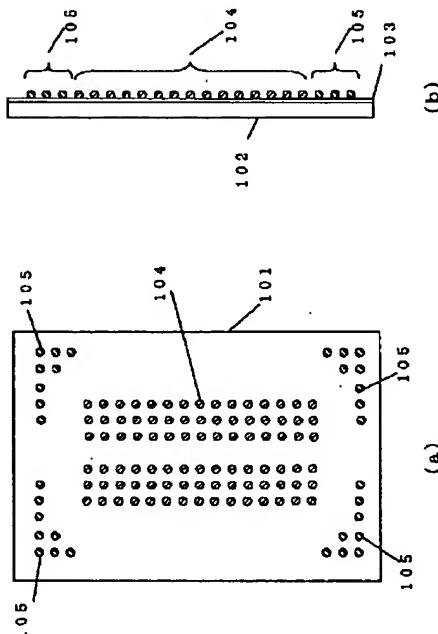
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 配線基板の隅部に信号用はんだボールが配置されない大サイズCSP型半導体装置において、半導体装置および半導体装置を実装基板に実装した実装体の外部応力による曲がりを防止し、かつ実装基板とはんだボールとの剥がれを防止する。

【解決手段】 配線基板の一主面に半導体チップを搭載し、前記半導体チップと前記配線基板上のリードとを電気的に接続し、前記半導体チップ、リード、電気的接続部を樹脂で封止し、前記半導体チップ搭載面と反対側の面上のランドにはんだボールを形成した前記半導体装置において、前記ランドは、実装基板と電気的に接続するための複数の電極用ランドと、前記他主面の少なくとも隅部に配置され、かつ実装基板と電気的に接続されない複数のダミーランドとする。

図1



【特許請求の範囲】

【請求項1】 配線基板の一主面に半導体チップを搭載し、前記半導体チップと前記配線基板上のリードとを電気的に接続し、前記半導体チップ、リード、電気的接続部を樹脂で封止し、前記半導体チップ搭載面と反対側の面上のランドにはんだボールを形成した前記半導体装置において、前記ランドは、実装基板と電気的に接続するための複数の電極用ランドと、前記他主面の少なくとも隅部に配置され、かつ実装基板と電気的に接続されない複数のダミーランドからなることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記電極用ランドおよびダミーランド上に形成されているはんだボールは同一サイズであることを特徴とする半導体装置。

【請求項3】 配線基板の一主面に半導体チップを搭載し、前記半導体チップと前記配線基板上のリードとを電気的に接続し、前記半導体チップ、リード、電気的接続部を樹脂で封止し、前記半導体チップ搭載面と反対側の面上にランドを形成した半導体装置において、前記ランドは、実装基板と電気的に接続するための複数の電極用ランドと、前記電極用ランドが形成された領域の外周から一電極用ランド分のピッチ以上離した位置に形成され、かつ、実装基板と電気的に接続されない複数のダミーランドからなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CSP (Chip Size Package) 型半導体装置に関し、特に、CSP型半導体装置を実装基板に実装する技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】CSP型半導体装置の実装基板への実装は、半導体装置の配線基板の電極用ランド上に形成されたはんだボールと実装基板上のはんだボール搭載ランドとの電気的接続を図ることで行われる。前記電気的接続は、半導体装置と実装基板と共に加熱し、はんだボールを溶融させて行われる。この場合、半導体装置の熱膨張係数と実装基板の熱膨張係数との差が大きいと、半導体チップを含む半導体装置の外周部が実装基板の実装面から遠ざかる方向に反るよう変形する場合がある。そのため、マトリクス状に配置されたはんだボールの内、特に半導体装置の隅部に近いはんだボールとはんだボール搭載ランドとのはんだ付け部が外れ、はんだ付け不良となる場合がある。

【0003】また、前記CSP型半導体装置を前記実装基板に実装した実装体において、半導体装置と実装基板が作動し、前記半導体装置と前記実装基板のサイズが変化する。この場合、前記半導体装置と前記実装基板との熱膨張係数が異なるため、サイズの変化量が異なり、信

号用はんだボールと実装基板の信号用はんだボール搭載ランド間に応力が働き、破断する場合がある。

【0004】上記の問題の対策として、特開平10-92965号公報に開示されている技術は、半導体チップを収容する半導体装置本体の裏面に、はんだ層によって被覆された多数のはんだボールをマトリクス状に並べて配置し、はんだボール配置エリアの少なくとも隅部に配置されたはんだボールを半導体チップとは接続されていないダミーボールとしていることで、半導体装置本体の反り変形によって発生するはんだ付け不良を防止し、信頼性を向上させている。

【0005】また、特開2001-68594公報に開示されている技術は、BGA型半導体装置と実装基板において、信号用はんだボールの断面積と同一またはそれよりも大きい断面積を持つダミーはんだボールをBGA四角形頂点付近のコーナ部に配置し、半導体装置の強度を増加させ、また、信号用はんだボールの表面積と同一またはそれよりも大きい表面積を持つダミーボール搭載ランドを実装基板のエリアアレイ四角形頂点付近のコーナ部に配置することで実装基板の強度を増加させている。また、ダミーはんだボールの表面積を断面積よりも大きくする、または配置位置を外周縁側のコーナ側へシフト配置することで、電極接合部への応力集中を防ぐようしている。

【0006】

【発明が解決しようとする課題】本発明者は、前記従来技術を検討した結果、以下の問題点を見いだした。配線基板の隅部に信号用はんだボールが配置されない大サイズCSP型半導体装置において、前記大サイズCSP型半導体装置のはんだ付け不良を防止するために、ダミーはんだボールを信号用はんだボール配置エリアの少なくとも隅部に配置し、ダミーはんだボール搭載ランドを実装基板のダミーはんだボール接続位置に配置した半導体装置と実装基板とを準備し、半導体装置を実装基板に実装した実装体を製造する。実装体に外部応力が加わった場合、信号用はんだボールの配列中にダミーはんだボールが配置されているため、ダミーはんだボールの剥がれと信号用はんだボールとの剥がれとが同時に起こる場合がある。

【0007】また、同様の目的により、ダミーはんだボールを信号用はんだボール配列の四角形頂点付近のコーナ部に配置した半導体装置とダミーボール搭載ランドを実装基板のエリアアレイ四角形頂点付近のコーナ部に配置した実装基板とを準備し、実装体を製造した場合においても、その実装体に外部応力が加わった場合、信号用はんだボールの配列中にダミーはんだボールが配置されるため、ダミーはんだボールの剥がれと信号用はんだボールの剥がれとが同時に起こる場合がある。

【0008】例えば、メモリーデバイス等では、記憶容量が異なっても、信号用はんだボールの配置を共通化す

る必要があるため、半導体装置の中央部のみに信号用はんだボールが配置される。例えば、64 Mbit SDRAM (Dynamic Random Access Memory) を4個搭載して256 Mbit SDRAMを製造する場合に、前世代の64 Mbit SDRAMを2個搭載した128 Mbit SDRAMと外部接続端子用のはんだボールを同配置にすると、図10に示すように、CSP型半導体装置101の隅部には信号用はんだボール104が配置されない。そのため、128 Mbit SDRAMを2個搭載した半導体装置を実装基板に実装するために、半導体装置と実装基板と共に加熱した場合、前記ダミーはんだボールを設けた場合においても、半導体装置の熱膨張係数と実装基板の熱膨張係数との差により、特に半導体装置の隅部に近いはんだボールとはんだボール搭載ランドとのはんだ付け部が外れ、はんだ付け不良となる場合がある。

【0009】また、実装体に外部応力が加わった場合、信号用はんだボールの配列中にダミーはんだボールが配置されるため、ダミーはんだボールの剥がれと信号用はんだボールの剥がれとが同時に起こる場合がある。

【0010】本発明の目的は、配線基板の隅部に信号用はんだボールが配置されない大サイズCSP型半導体装置を実装基板に実装する場合に、はんだ付け不良の発生しない技術を提供することである。本発明の他の目的は、配線基板の隅部にはんだボールが配置されない大サイズCSP型半導体装置において、外部応力による曲がり及び信号用はんだボールの剥がれを防止できる技術を提供することである。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記のとおりである。第1の発明は、配線基板の一主面に半導体チップを搭載し、前記半導体チップと前記配線基板上のリードとを電気的に接続し、前記半導体チップ、リード、電気的接続部を樹脂で封止し、前記半導体チップ搭載面と反対側の面上のランドにはんだボールを形成した前記半導体装置において、前記ランドは、実装基板と電気的に接続するための複数の電極用ランドと、前記他主面の少なくとも隅部に配置され、かつ実装基板と電気的に接続されない複数のダミーランドからなることを特徴とする。

【0012】第2の発明は、第1の発明に記載の半導体装置において、前記電極用ランドおよびダミーランド上に形成されているはんだボールは同一サイズであることを特徴とする。

【0013】第3の発明は、配線基板の一主面に半導体チップを搭載し、前記半導体チップと前記配線基板上のリードとを電気的に接続し、前記半導体チップ、リー

ド、電気的接続部を樹脂で封止し、前記半導体チップ搭載面と反対側の面上にランドを形成した半導体装置において、前記ランドは、実装基板と電気的に接続するための複数の電極用ランドと、前記電極用ランドが形成された領域の外周から一電極用ランド分のピッチ以上離した位置に形成され、かつ、実装基板と電気的に接続されない複数のダミーランドからなることを特徴とする。

【0014】本発明によれば、配線基板の隅部に信号用はんだボールが配置されない大サイズCSP型半導体装置において、前記配線基板の少なくとも隅部にダミーランドを形成し、前記電極用ランド及び前記ダミーランド上に同一のサイズのダミーはんだボールと信号用はんだボールとを形成することにより、前記CSP型半導体装置を実装基板に実装するために、前記CSP型半導体装置と実装基板とを加熱した場合に、はんだボールに熱膨張による応力が働くが、半導体装置の隅部に形成されたダミーはんだボール105に働く応力が大きく、信号用はんだボール104に大きい応力がかかるのを防ぐことが可能になるので、はんだ付け不良の発生を防止できる。また、半導体装置を実装基板に実装した実装体において、ダミーはんだボール105とダミーはんだボール搭載ランド704により接合強度の向上が図られているので、外部応力による曲がり等を防止できる。

【0015】また、実装基板と電気的に接続される電極用ランドの配列の外周から離した位置にダミーランドを形成することにより、外力の大きい隅部のダミーはんだボールの接続が剥がれても、信号用はんだボールの接続が剥がれるのを防止できるため、半導体装置への影響を防止できる。

【0016】以下、本発明の実施形態（実施例）を図面を参照して詳細に説明する。なお、実施の形態（実施例）を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0017】

【発明の実施の形態】（実施例1）本発明の実施例1を図1乃至図8を用いて説明する。図1(a)は本実施例1におけるCSP型半導体装置の裏面概略図、(b)は側面図である。図2は、本実施例1のCSP型半導体装置の配線基板を半導体チップ搭載側から見た図である。図3は、本実施例1のCSP型半導体装置の配線基板の裏面詳細図である。図4は、本実施例1のCSP型半導体装置の組立工程を示すフローチャートである。図5は、本実施例1の半導体チップの搭載基板を説明するための図である。図6は、図5に示す本実施例1の半導体チップの搭載基板の裏面図である。図7は、本実施例1のCSP型半導体装置の実装基板の概略図である。図8は、本実施例1のCSP型半導体装置の実装体を示す側面図である。

【0018】本実施例1のCSP型半導体装置（以下、

半導体装置と呼ぶ) 101は、図1乃至図3に示すように、配線基板103の一主面に一または複数の半導体チップ(図示せず)例えばDRAMを搭載し、前記半導体チップの外部電極と前記配線基板上のリード203とを電気的に接続し、前記半導体チップ、リード、電気的接続部をモールド樹脂102で封止し、他主面(半導体チップが搭載された面と反対側の面)に実装基板701と電気的に接続するための複数の電極用ランド(図示せず)と前記他主面の少なくとも隅部に、実装基板と電気的に接続されないダミーランド(図示せず)とを形成し、前記電極用ランドとダミーランド上にそれぞれ信号用はんだボール104とダミーはんだボール105とを形成した半導体装置である。

【0019】はんだボールの代わりにPbフリーボールを使用することも可能である。また、半導体チップと配線基板103との接続には、例えばワイヤーボンディング、フェイスアップTAB(Tape Automated Bonding)、フリップ・チップ、フェイスアップTAB等の接続方法を用いる。

【0020】配線基板103には、図2に示すように、スルーホール201、配線202及びリード203が形成されている。組立て工程において、半導体チップの外部電極とリード203との電気的接続が図られる。また、スルーホール201により配線基板103の半導体チップ搭載面と実装基板接続面との電気的接続が図られる。配線基板103の厚さは約0.21mmである。

【0021】また、図3に示すように、配線基板103の半導体チップが搭載された面と反対側の面には、信号用はんだボール104、ダミーはんだボール105、スルーホール201、配線202が形成されている。信号用はんだボール104は実装基板701と電気的に接続するための電極用ランド上に、ダミーはんだボール105は実装基板701と電気的に接続されないダミーランド上に形成される。信号用はんだボール104およびダミーはんだボール105は同一のサイズで0.45±0.05mmである。また、本実施例の半導体装置101の厚さは最大1.40mmである。前記ダミーランドは、配線基板103の少なくとも隅部に配置される。そうすることにより、配線基板103の隅部の信号用はんだボール104が配置されない部分にも、信号用はんだボール104が配置されている部分と同様の熱膨張による応力がかかるため、半導体装置101およびそれを実装基板701に実装した実装体の外部応力による曲がり等を防止できる。また、外部応力の大きい隅部のダミーはんだボール105が剥がれても、信号用はんだボール104の剥がれは防止できる。

【0022】本実施例1のCSP型半導体装置の製造工程を、図4乃至図6を用いて説明する。図5は、複数の配線基板103を同一基板上に配列した半導体チップの搭載基板501を示す。図5では、4×7の28個の配

線基板が配列されている。個々の配線基板103は基板フランジ601により固定され、搭載基板501を構成する。搭載基板501に配列されている個々の配線基板103には、図2に示すように、スルーホール201、配線202、リード203が形成されている。例えば、個々の配線基板103上に、64Mbit SRAMを4個搭載することにより、256Mbit SDRAMが製造できる。

【0023】図6は、図5の半導体チップの搭載基板501の半導体チップが搭載されている面(表面)と反対側の面(裏面)を示す図である。搭載基板501に配列されている個々の配線基板103には、図3に示すように、スルーホール201、配線202、信号用はんだボール104、ダミーはんだボール105が形成されている。

【0024】ウエハプロセスの終了した半導体ウエハは、半導体ウエハの一主面にダイシングエリアにより区画された複数の半導体チップ形成領域に回路素子が形成されている。前記半導体ウエハは、通常の製造工程を経た後、ダイシング工程において、個々の半導体チップ(ペレット)に分割される(ステップ401)。

【0025】次に、ステップ401において分割されたペレットの中から、前記ウエハプロセスのプローピング工程により良品とされたペレットがピックアップされ(ステップ402)、ダイボンディングにより、図5に示す搭載基板501の配線基板103上に搭載され(ステップ403)、配線基板103とペレットのボンディング用にいられた接合樹脂を硬化させるため、ベークが行われる(ステップ404)。

【0026】次に、前記ペレットの外部電極と配線基板103のリード203とが、ワイヤーにより、電気的に接続される(ステップ405)。次に、プラズマクリーニングにより、ペレット上の反応残渣が除去され(ステップ406)、外観検査が行われる(ステップ407)。次に、前記ペレット、リード203、ワイヤーはモールド樹脂102により封止され(ステップ408)、モールド樹脂の硬化を促進させるために加熱される(ステップ409)。

【0027】次に、図6に示すように、ペレットが搭載された面と反対側の面に実装基板701と電気的に接続するための複数の電極用ランド(図示せず)と前記他主面(裏面)の少なくとも隅部に、実装基板と電気的に接続されないダミーランド(図示せず)とを形成し、前記電極用ランドとダミーランド上にそれぞれ信号用はんだボール104とダミーはんだボール105とを形成し(ステップ410)、前記搭載基板501を加熱することにより、はんだボールを溶融し、半球上に形成する(ステップ411)。例えば、信号用はんだボール104とダミーはんだボール105は同一サイズ0.45±0.05mmであり、0.80mmピッチで形成され

る。

【0028】次に、前記搭載基板501から個々の半導体装置101が分離され(ステップ412)、トレイ詰めされる(ステップ413)。次に、トレイ詰めされた半導体装置101は外観検査の後、モールド樹脂102上にマーキングが行われる。以上の製造工程を経て半導体装置101が製造される。

【0029】また、ステップ412を経ないで、搭載基板501に半導体チップが搭載された状態で出荷され、顧客側で個々の半導体装置101に切断され、実装基板701に実装される場合がある。この場合に、個々の半導体装置101への切断時、また半導体装置101の実装基板701への実装時に、半導体装置101およびそれを実装基板701に実装した実装体に外部応力が働くが、ダミーはんだボール105により、接合強度の向上が図られているため、曲がり等を防止できる。また、前記外部応力により、ダミーはんだボール105が剥がれた場合でも、信号用はんだボール104の剥がれは防止できる。

【0030】本実施例1のCSP型半導体装置を実装する実装基板は、図7に示すように、スルーホール(図示せず)、配線(図示せず)、半導体装置搭載領域702に、信号用はんだボール搭載ランド703とダミーはんだボール搭載ランド704とを有する。

【0031】半導体装置101の実装基板701への実装は、配線基板103の信号用はんだボール104と信号用はんだボール搭載ランド703との電気的接続、及びダミーはんだボール105とダミーはんだボール搭載ランド704との接続を図ることで行われる。前記接続は、半導体装置101と実装基板701とを共に加熱して行われる。加熱は通常の製造方法により行われる。加熱により、はんだボールに熱膨張による応力が働くが、半導体装置101の隅部に形成されたダミーはんだボール105に働く応力が大きく、信号用はんだボール104に大きい応力がかかるのを防ぐことが可能になる。そのため、信号用はんだボール104と信号用はんだボール搭載ランド703との電気的接続不良の発生は防げる。前記ダミーはんだボールの配列が図7に示すように、信号用はんだボールとは縦にも横にも全く重ならない位置に配列しているので、外力によりダミーはんだボールがどちらかの方向に1列剥がれても信号用はんだボールは別配列なので、信号用はんだボールの接続が剥がれるのを防止できる。半導体装置101の実装基板701への実装結果、図8に示すように、半導体装置101の実装体が製造される。

【0032】前記半導体装置101の実装体において、半導体装置101と実装基板701が作動し、前記半導体装置101と前記実装基板701のサイズが変化する。この場合、前記半導体装置101と前記実装基板701との熱膨張係数が異なるため、サイズの変化量が異

なり、信号用はんだボール104と信号用はんだボール搭載ランド703、ダミーはんだボール105とダミーはんだボール搭載ランド704間に応力が働くが、ダミーはんだボール105とダミーはんだボール搭載ランド704により接合強度の向上が図られているため応力による破断を防止できる。

【0033】(実施例2)本発明の実施例2のCSP型半導体装置101を図9を用いて説明する。図9は、本発明の実施例2のCSP型半導体装置の裏面概略図である。

【0034】本実施例2のCSP型半導体装置は、実施例1とダミーはんだボール105の配置のみが異なる。図9に示すように、ダミーはんだボール105は、実装基板701と電気的に接続される信号用はんだボール104の配列の外周から離した位置に形成する。することにより、外力の大きい隅部のダミーはんだボール105の接続が剥がれても、信号用はんだボール104の接続が剥がれるのを防止できるので、外部応力に対する半導体装置101の強度を向上させることができる。また、実施例1よりもダミーはんだボールの数が多く、接合強度が向上する。また、外部応力が分散されるため、実装体の強度が向上する。

【0035】以上、本発明者によってなされた発明を、実施例に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは無論である。

【0036】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡潔に説明すれば、下記のとおりである。本発明によれば、CSP型半導体装置を実装基板に実装する場合に、はんだ付け不良の発生を防止できる。また、半導体装置および半導体装置を実装基板に実装した実装体の外部応力による曲がり等を防止できる。また、外力応力の大きいダミーランドの接続が剥がれても、電極用ランドの接続が剥がれるのを防止できるため、半導体装置への影響を防止できる。

【図面の簡単な説明】

【図1】本発明の実施例1のCSP型半導体装置の裏面概略図及び側面図である。

【図2】本実施例1のCSP型半導体装置の配線基板を半導体チップ側から見た図である。

【図3】本実施例1のCSP型半導体装置の裏面詳細図である。

【図4】本実施例1のCSP型半導体装置の組立工程を示すフローチャートである。

【図5】本実施例1の半導体チップの搭載基板を説明するための図である。

【図6】図5に示す本実施例1の半導体チップの搭載基板の裏面図である。

【図7】本実施例1のCSP型半導体装置の実装基板の概略図である。

【図8】本実施例1のCSP型半導体装置の実装体を示す側面図である。

【図9】本発明の実施例2のCSP型半導体装置の裏面概略図である。

【図10】従来のCSP型半導体装置の裏面概略図及び側面図である。

【符号の説明】

101…CSP型半導体装置 102…モールド樹脂 103…配線基板

104…信号用はんだ
ボール

105…ダミーはんだボール

202…配線

501…搭載基板

701…実装基板

載領域

703…信号用はんだボール搭載ランド

704…ダミーはんだボール搭載ランド

104…信号用はんだ

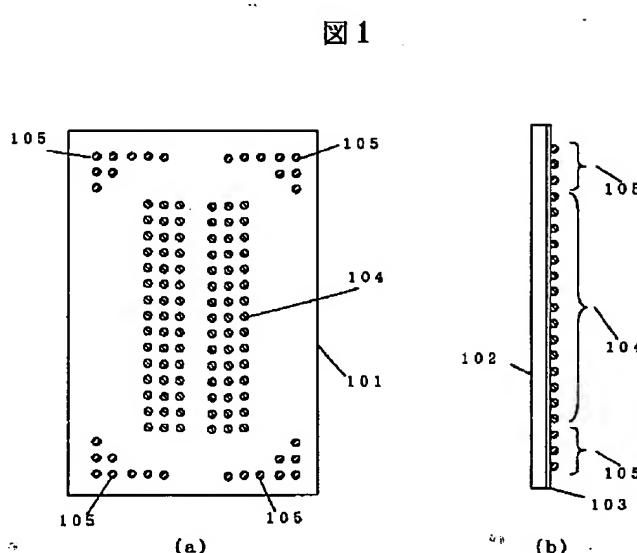
201…スルーホール

203…リード

601…基板フランジ

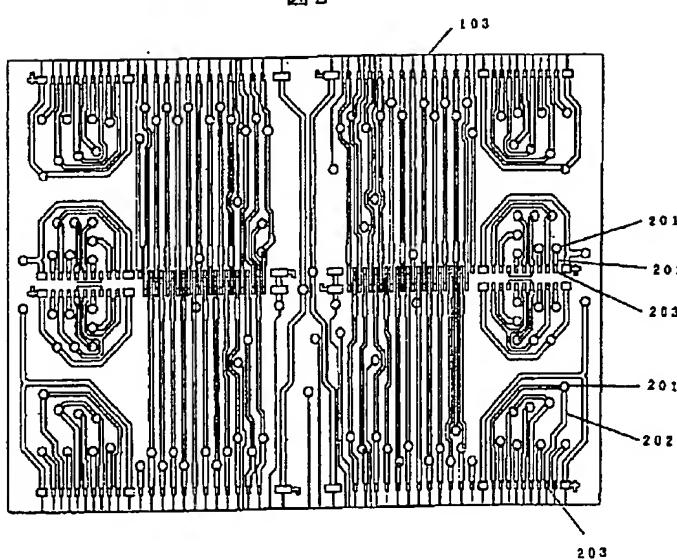
702…半導体装置搭

【図1】

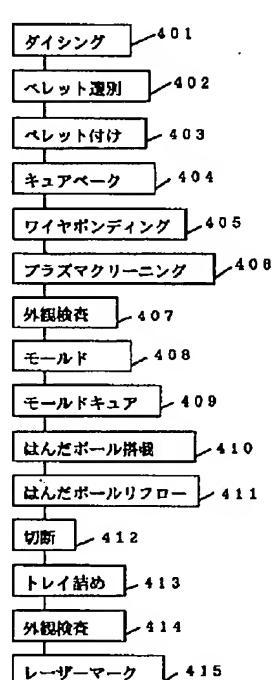


【図2】

図2

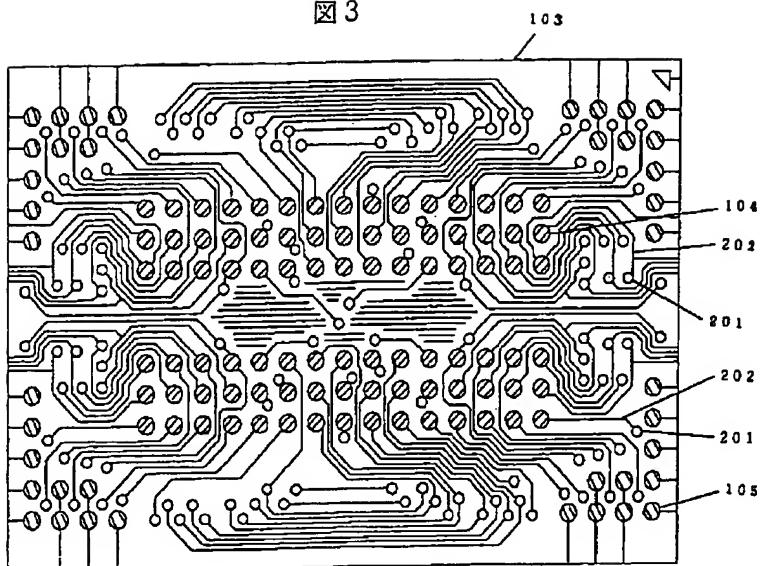


【図4】



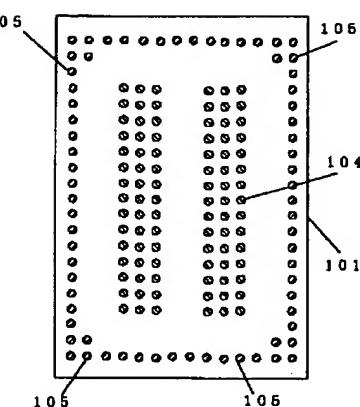
【図3】

図3



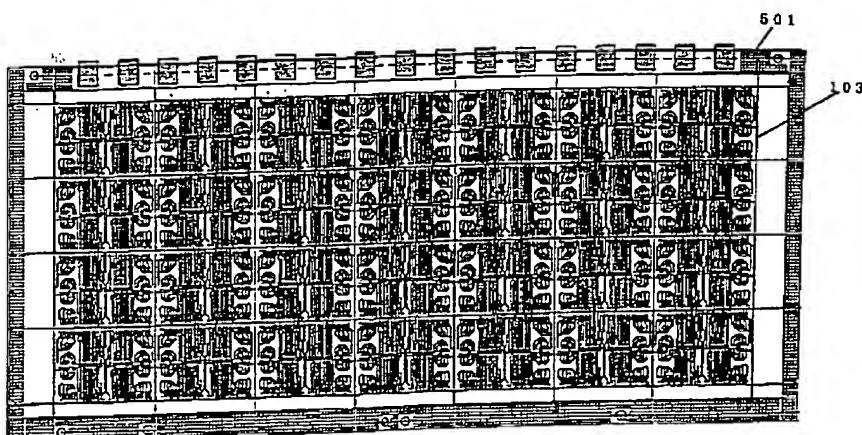
【図9】

図9



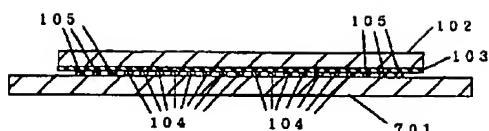
【図5】

図5



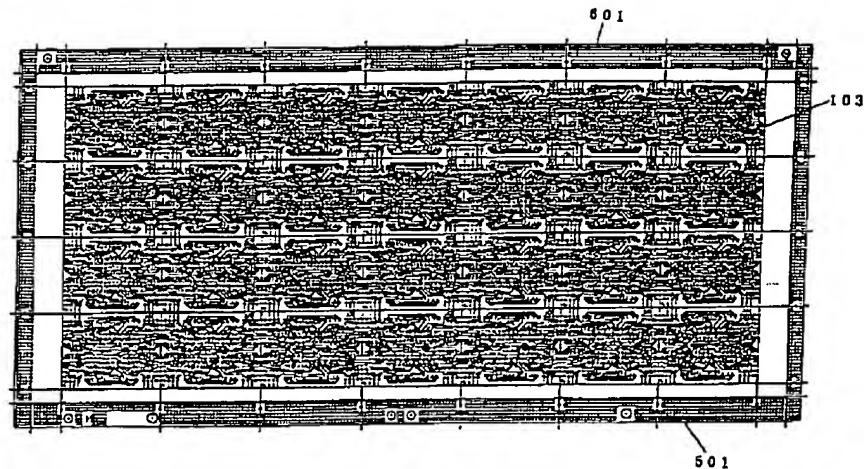
【図8】

図8



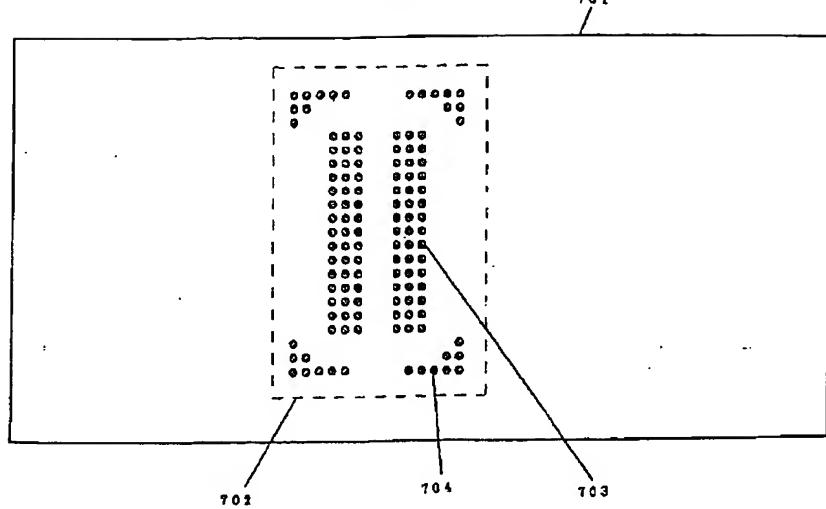
【図6】

図6



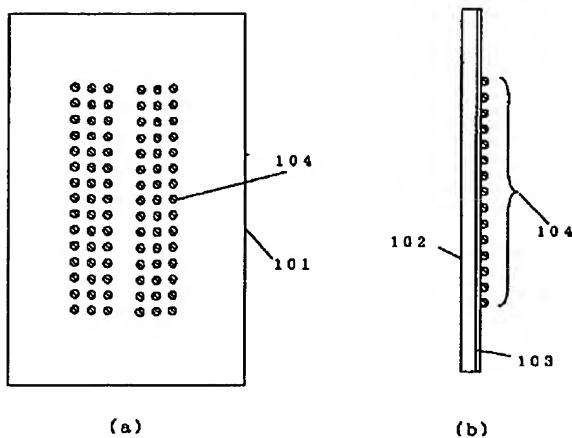
【図7】

図7



【図10】

図10



フロントページの続き

| | |
|--|--|
| (72)発明者 井村 智香子 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内 | (72)発明者 杉山 道昭 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 |
| (72)発明者 増田 正親 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内 | (72)発明者 日原 勇 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 |
| | (72)発明者 加賀谷 豊 秋田県南秋田郡天王町天王字長沼64 アキタ電子株式会社内 |